

基于 FPGA 的串行 A/D 转换模块设计^①

詹光明, 王 琪

(南昌航空大学 信息工程学院, 南昌 330063)

摘 要: 使用了基于 FPGA 的 Xilinx 公司 Spartan-3E 系列的 XC3S250ETQG144 处理器, 对 A/D 转换芯片 TLC549 进行驱动采样和后续实际电压值读取. 采用 Verilog 语言, 整个模块设计在 ISE 的环境下进行, 设计时减少复杂逻辑, 精简模块设计, 实现高速 A/D 转换和时序控制, 该设计可移植性强, 利用 ISE 进行编译、综合、仿真, 为后续 A/D 转换的工作提供了实验依据. 实验表明设计可靠性高, 可以满足 A/D 转换的高精度、实时性、抗干扰等方面的要求.

关键词: FPGA; TLC549; A/D 转换; 时序控制

Design of Serial A/D Converter Module Based on FPGA

ZHAN Guang-Ming, WANG Qi

(School of Information Engineering, Nanchang Aviation University, Nanchang 330063, China)

Abstract: It uses the Xilinx Company Spartan-3E series of XC3S250ETQG144 processor based on FPGA to A/D conversion chip TLC549 driven sampling and later actual voltage value of reading. By use of Verilog language, the whole module design is under the environment of ISE with less complex logic, compact modular design, high speed A/D conversion and sequential control. The portability is strong. And then, we use ISE compile, synthesize and simulation, for the follow-up A/D conversion work provides experimental basis. Experimental results show that the design reliability is high, which can satisfy the A/D conversion of high precision, real-time, anti-jamming requirements.

Key words: FPGA; TLC549; A/D conversion; sequential control

数据的采集与处理是信息技术的一个重要分支, 其实质就是对信号的采集和获取的过程. 实际上, 多种形式的信息采集贯穿于人们的生产生活中, 从古代的地动仪到近代的温度计、电压表等. 由于计算机只能对二进制的数字信号进行分析、处理, 在转换过程中, 待采集的模拟信号被转换成一定精度的数字信号, 这个过程被称为 A/D 转换, A/D 转换就是模/数转换, 就是把模拟输入信号转换为二进制数字信号输出的过程, 它是数据采集与处理技术过程的核心, 它决定了采集系统的基本指标^[1]. 通过前端预处理电路对原始信号参数进行采集和存储后, 配置 A/D 转换模块, 将采集到的模拟信号转换为数字信号输出.

随着科学技术的发展和数据采集技术的广泛运

用, 人们对数据采集系统的主要技术指标有着越来越高的要求, 特别是速度、精度、实时性方面. 对 A/D 进行采样控制, 以往的方法是用单片机完成的, 其优点是编程简单, 控制灵活^[2], 但是运行速度慢, 控制顺序结构指令周期长限制了其作为高速 A/D 的模块设计的发展, 用单片机很难完成对多通道、多 A/D 的控制及相应的数据的处理. DSP 芯片具有很强的数字信号处理能力, 可以对复杂的逻辑运算进行数据处理, 但是在对乘法和累加等重复性的任务时, 不如 FPGA 的高速性能好, 另外, DSP 在对外围器件的逻辑控制的灵活性上, 还有待提高.

电子技术发展的数字化进程中, A/D 转换器性能起到了关键的作用, 使用硬件描述语言来设计数字电

^① 收稿时间:2012-09-02;收到修改稿时间:2012-09-26

路方便快捷, FPGA 的时钟频率可高达 300 MHz 以上, A/D 转换控制逻辑简单, 故可用 FPGA 器件进行控制设计. 除了一些专用引脚外, FPGA 芯片上几乎所有引脚均可供用户使用, 这使得 FPGA 信号处理方案具有非常高性能 I/O 带宽^[1], 大量的 I/O 引脚和存储器让系统拥有出色的并行处理能力, 完成 A/D 转换等功能.

1 系统设计

本设计采用 FPGA 芯片 XC3S250ETQG144 来对 TLC549 进行采样控制, 并对采样数据进行处理.

1.1 Spartan-3E 型 FPGA

XC3S250ETQG144 处理器是 FPGA 的 Xilinx 公司下 Spartan-3E 系列的一款中高端配置的低成本处理器, 其具体参数如下图所示:

器件	系统门数	可配置逻辑块 (CLB)			分布式 RAM
		行	列	总 CLB	
XC3S250E	250K	34	26	612	38Kbit
内嵌乘法器					
12	Block RAM	DCM	最大用户 I/O	最大差分 I/O 对	
	216Kbit	4	172	68	

图 1 芯片参数

其单位逻辑单元的成本达到更低的水平, 适用于对逻辑单元需求多, 对 I/O 需求少的设计, 端口电压为 3.3V、2.5V、1.2V, 驱动电流最高 16mA, 支持 DDR 存储接口, 具有片上匹配终端的增强型差分信号^[3], 其与 TLC549 的连接管脚为 10、11、15.

1.2 TLC549 芯片介绍

美国德州仪器公司生产的 TLC549, 是低价位、高性能 8 位串行 A/D 转换芯片, 它以 8 位开关电容逐次逼近 A/D 转换器为基础而构造的 CMOS A/D 转换器, 能通过 3 态数据输出和模拟输入与微处理器或其他外围设备串行接口, 仅用输入/输出时钟(I/O CLOCK)和芯片选择(CS)输入作为数据控制, 是低成本的测控应用系统. 具备 4MHz 片内系统时钟和软硬件控制电路, 最长转换时间是 17us, TLC549 可以达到最快 45000 次/S 的速率, 总失调误差最大为 ±0.5LSB, 典型功耗值为 6mW. 差分参考电压高阻输入的方式, 抗干扰, 可按比例量程校准转换范围, VREF-接地, VREF+—VREF-≥1V, TLC549 适用于较小信号的采样工作^[4].

TLC549 均有片内系统时钟, 该时钟与 I/O

CLOCK 是独立工作的, 无需特殊的速度或相位匹配, 下图是它的工作时序图:

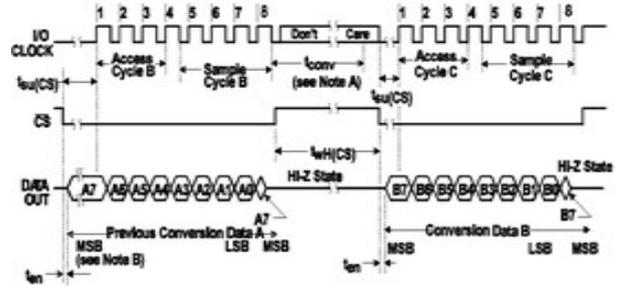


图 2 TLC549 工作时序图

转换过程需要 36 个系统时钟周期, 最大为 17us, 它开始于 CS 变为低电平之后 I/O CLOCK 的第 8 个下降沿. 在 CS 变为低电平之后, 最高有效位(A7)自动被放置在 DATA OUT 总线上. 其余的 7 位(A6-A0)在前 7 个 I/O CLOCK 下降沿由时钟同步输出. B7-B0 以同样的方式跟在其后.

1.3 设计原理

TLC549 的控制信号相对较少, 用 FPGA 芯片 XC3S250ETQG144 对 TLC549 进行采样控制及 A/D 转换, 控制器设计原理图如图 3 所示.

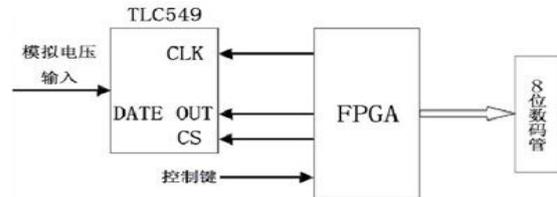


图 3 控制器设计原理框图

通过 3 态数据输出和模拟输入与外围设备串行接口, 通过 CLK 和片选 CS 进行数据控制, 模拟电压值通过信号预处理端和滤波设计等进入到 TLC549, 通过 FPGA 的控制等功能, 实现硬件功能上电压值的 8 位数码管显示. TLC549 的硬件连接如图 4 所示.

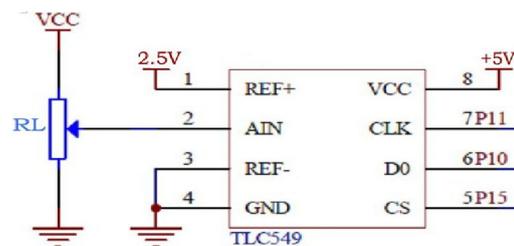


图 4 TLC549 与 FPGA 硬件连接图

1 脚为基准电压输入, 可以采用 LM317 进行稳压设计, 为 A/D 转换提供精确的时钟基准源, 1 脚接 2.5V, 2 脚接电位器, 根据模拟电压的输入值, 调整模拟电压输入, 以此改变数据输出显示, 3, 4 脚接地. 通过图 3 可以看到, 芯片的 CLK、CS、DATE OUT 三条口线与 FPGA 主控芯片进行串行接口, 实现 A/D 转换的整个过程, 其中 8 脚接+5V 直流为芯片供电.

2 模块设计与仿真

利用 VerilogHDL 语言设计的 TLC549 转换电路控制器的关键在于如何将 TLC549 的工作时序抽象成状态转移图, 从而由状态机来实现.

状态机是由寄存器和组合逻辑构成的硬件时序电路, 其状态只能在同一时钟跳变的情况下才能从一个状态转向另一个状态. 它的步骤一般包括: 逻辑抽象, 得出状态转换图; 状态化简; 状态分配; 选定触发器的类型并求出状态方程、驱动方程和输出方程, 按照方程得出逻辑图. 参照 TLC549 的工作时序图, 可得到图 5 的 TLC549 的转换电路控制器的状态转移图, 状态机的每次跳变不但取决于各个输入值, 还跟当前状态有关^[1].

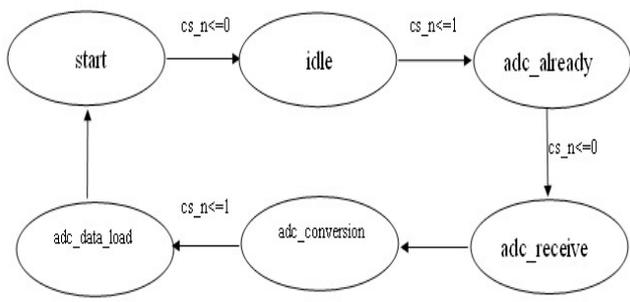


图 5 TLC549 转换电路控制器的状态转移图

如图所示, start 状态表示开始数据转换, 之后系统初始化, 其中 idle 为空闲状态、adc_ready 为 A/D 转换准备状态、adc_receive 为 A/D 数据的接收状态、adc_conversion 为 A/D 转换进行状态, adc_data_load 为数据输出状态^[5]. 系统初始化后, 由片选端控制, 进入空闲状态, 使能端置 1, 进入数据转换准备状态, CS 信号拉低进入到数据接收状态, 随着数据读取完毕, A/D 转换继续进行直至最后数据输出转换结束, 这就是整个 A/D 转换的流程. 由此, 可以着手于 TLC549 模块的 A/D 转换代码编写阶段了.

设计输入测试的为 A/D 转换程序模块, clock 为系统时钟, 复位 reset 为高电平有效, enable 为转换使能, TLC549 为串行数据输入, clk 为 I/O 时钟, CS 为片选控制端, data_out 为转换的数据输出, 数据信号同步输入, 数据输出锁存. 图 6 为顶层模块图.



图 6 TLC549 顶层模块图

本设计在 ISE12.2 的环境中运行, ISE 是 Xilinx 系列的 FPGA 的设计工具, 目前已经更新到了 14.1. 在使用 ISE 开发的工程设计流程中一般包括输入(Design Entry)、综合(Synthesis)、实现(Implementation)、验证(Verification)、下载(Download). 并且可以很方便的与其他 EDA 工具接口使用, 仿真可以使用 VerilogHDL 语言, 相对于 HDL Bench 的图形化波形编辑功能, 前者使用简单、功能强大.

在 ISE12.2 中创建工程, 建立新的工程文件后, 根据 TLC549 的采样时序要求, 在 new source 命令后添加 verilog module.

对各个信号端的控制是通过 50MHz 时钟信号分频来实现的^[5]. 在通过 50 分频后, 得到 1MHz 的时钟信号, 对这个信号用计数为 50 的计数器再进行分频, 得到分频信号, 分频计数器为 16 位宽. 计数器初始化之后, 复位移位计数器, 使能端置 1, 进入准备接受数据阶段, 随后进行数据接收, 和转换前的采样, 直至转换完毕数据输出.

在完成 verilogHDL 代码的输入, 程序调试后, 经过分析、综合, 最后排除错误, 以达到设计要求. 随后再进行波形仿真, 在工程管理区将 sources for 设置为 simulation 后, 双击 Isim Simulation 下的 Simulate Behavioral Model, 系统会自动调用 Isim 仿真功能, 仿真波形图如图 7 所示, 通过与图 2 的 TLC549 芯片的工作时序图的相比较, 发现该仿真图达到了实际要求的效果.

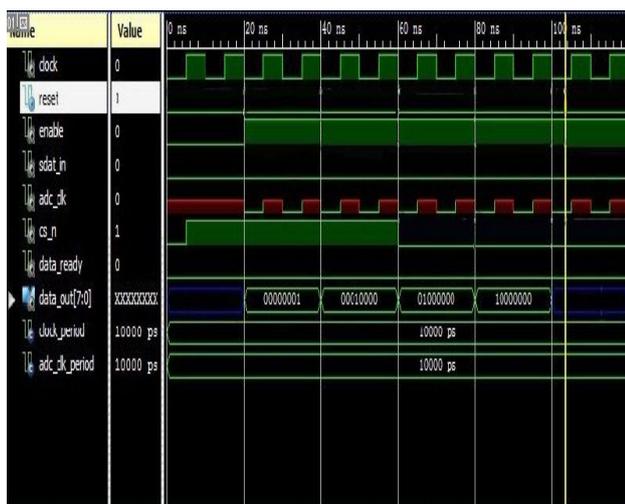


图7 仿真波形图

从图7的仿真波形可以看出,最上端为时钟周期,初始化后,片选端cs_n转换状态data_ready为0表示转换并未开始,5ns片选端后置1,使能端也为1,进入转换准备状态,和系统时钟保持一致,转换开始,随后A/D转换数据接收状态,转换继续进行直至转换数据输出。

3 结语

用VerilogHDL语言和Xilinx公司的FPGA芯片XC3S250ETQG144,设计了TLC549的采样实例,该FPGA芯片通过并行接口的方式与计算机连接,体现

了FPGA的高速度和VerilogHDL语言并行执行程序的特点,克服了传统单片机A/D转换速度慢的弊端,为具体的硬件设计提供了参考。以后A/D转换的发展趋势,会向着速度快、精度高、成本低以及结构简单的方向发展,数字信号处理、通信技术以及集成电路工艺的发展为其提供了必要条件^[6]。该设计为后续的模块化编程和硬件测试工作提供了参考依据。

参考文献

- 1 刘克刚,陈曦,王卫兵,张兰.复杂电子系统设计与实践.北京:电子工业出版社,2010.92-103.
- 2 户国强,房建东,郭春兰.基于FPGA的A/D转换采样控制模块的设计.PLC技术应用200例,2008:229-231.
- 3 王春平,张晓华,赵翔.Xilinx可编程逻辑器件设计与开发.北京:人民邮电出版社,2011.19.
- 4 安源.8位串行模数转换器TLC548,TLC549的应用.国外电子元件,2000,2:25-26.
- 5 姚强.基于FPGA的电力系统谐波检测系统的研究与设计.南京:南京理工大学,2012.
- 6 房慧龙.A/D转换技术及其发展.信息技术,2007:81-83.
- 7 田耘,徐文波.Xilinx FPGA开发实用教程.北京:清华大学出版社,2008.153-183.
- 8 杨亚让,吴云虎.VHDL和FPGA在高速A/D采样控制器设计中的应用.长江大学学报,2009,6(4):272-274.